

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-14862

⑬ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月20日

H 01 L 27/04  
27/108

C 7514-4M

8624-4M H 01 L 27/10 3 2 5 J

審査請求 未請求 請求項の数 4 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-118162

⑰ 出 願 平2(1990)5月8日

⑱ 発 明 者 佐 久 間 敏 幸 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

特徴とする半導体装置。

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 半導体集積回路用のダイナミックメモリセルにおいて、容量が1種類以上のバリアメタルとペロブスカイト型酸化物膜の積層構造を有することを特徴とする半導体装置。
- (2) 特許請求の範囲第1項に記載のペロブスカイト型酸化物膜をチタンにたいするストロンチウムの化学量論比が0.8~1.2であるチタン酸ストロンチウム膜とした半導体装置。
- (3) 特許請求の範囲第1項に記載のバリアメタルにおいてチタン、白金を積層した構造を有することを特徴とする半導体装置。
- (4) 特許請求の範囲第1項に記載のバリアメタルにおいてタンダステン主成分とした金属、チタンおよび白金を積層した構造を有することを

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路用のダイナミック・ランダムアクセスメモリセルの構造に関し、特にメモリセルを構成する容量部の構造に関する。

〔従来の技術〕

従来、この種のメモリセルはMOS型のトランジスタ1個とポリシリコンを電極とするシリコン酸化膜およびシリコン窒化膜の積層構造からなる容量で構成されていた。

〔発明が解決しようとする課題〕

上述した従来のメモリーセルでは、近年の集積回路のより一層の集積化に対応するためには容量部分の面積減少分を誘電体膜の薄膜化によって補う必要がある。従来の容量を形成する誘電体膜はシリコン酸化膜およびシリコン窒化膜であるので誘電率は高々7程度であり、要求される容量を実現するにはシリコン酸化膜換算膜厚で10nm以下

というきわめて薄い膜厚が求められるが、許容されるリーク電流以下の電流-電圧特性を有する誘電体薄膜層を実現するのは非常に困難であるといった欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置のメモリセルは、MOS型のトランジスタ1個と、1種類以上のバリアメタルとチタン酸ストロンチウム等の高誘電率を有するペロブスカイト型酸化物膜の積層構造からなる容量とで構成されている。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明になる半導体装置のメモリセルの一実施例を説明するための縦断面模式図である。1はP型シリコン基板、2はN型拡散層、3は二酸化シリコン、4はゲートポリシリコン(ワード線)、5はアルミ配線(ディジット線)、6は層間膜2(燐珪酸ガラスを主成分とする誘電体)、7はタングステン、8はチタン、9は白金、10はチタン酸ストロンチウム、11はアルミ配線、12

はアルミ配線がメモリセルにデータを読み書きするためのディジット線となる。

この後、CVD法により層間膜2の誘電体を堆積し、6のタングステンと2の拡散層とを接続するためのコンタクト孔を形成し、選択CVD法によりタングステンを埋め込む。

次に、10~100nmのチタン、30~150nmの白金、10~200nmのチタン酸ストロンチウムをこの順にスパッタ法により堆積後、光リソグラフィーおよびプラズマエッチングにより8、9、10の積層した容量部を形成する。

次にCVD法により層間膜3の誘電体を堆積し、11の容量電極用のアルミ配線の引き出しのためのコンタクト孔を形成後、アルミを主成分とする金属膜を堆積し光リソグラフィーおよびプラズマエッチングにより11のアルミ配線を形成する。

最後にデバイスの保護を目的とする誘電体膜をプラズマCVD法により形成してメモリセルを作製した。

第2図は本発明になる半導体装置のメモリセル

は層間膜3(燐珪酸ガラスを主成分とする誘電体)、13は保護膜(シリコン窒化膜)である。

製造は以下のように公知の半導体プロセス技術光リソグラフィー、プラズマエッチング、CVD、スパッタ、イオン注入、熱酸化などにより実現した。

まずP型シリコン基板を酸化し、素子分離領域およびゲート酸化膜を形成し、

次に減圧CVD法によりポリシリコンを堆積する。このポリシリコンに銅を拡散することにより、低抵抗のポリシリコンとし、これを光リソグラフィーおよびプラズマエッチング技術によりゲート電極4を形成する。この電極がメモリセルを選択するワード線となる。

次に、イオン注入および熱拡散によりN型拡散層2を形成後、CVD法により層間膜1の誘電体を堆積し、アルミ配線と2のN型拡散層とを接続するためのコンタクト孔を形成する。

次にアルミを主成分とする金属膜をスパッタ法により堆積後、光リソグラフィーおよびプラズマエッチングによりアルミ配線を形成する。このア

の第2の実施例を説明するための縦断面模式図である。21はP型シリコン基板、22はN型拡散層、23は二酸化シリコン、24はチタン、25は白金、26はチタン酸ストロンチウム、27はアルミ配線、28は保護膜、29はアルミ配線、30はゲートポリシリコンである。この実施例では、N型拡散層とチタンとを直接接続する構造となっており選択CVD法によるタングステンの埋め込みがないのが特徴である。

〔発明の効果〕

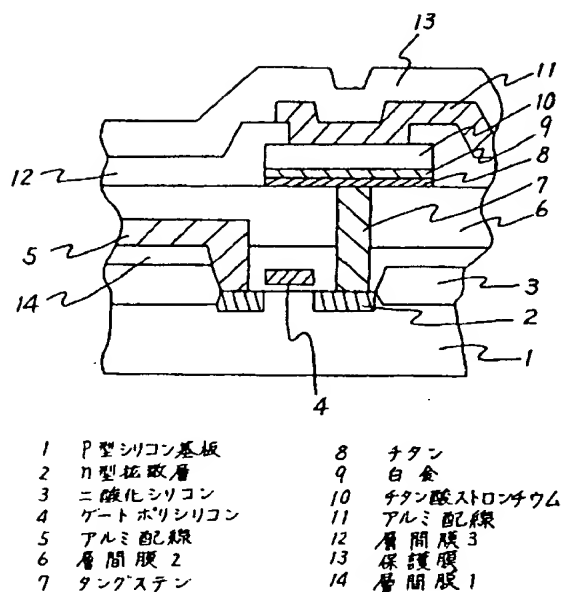
以上説明したように本発明は、従来のメモリセルのシリコン酸化膜およびシリコン窒化膜の積層構造よりなる容量に代えて、1種類以上のバリアメタルと高誘電率を有するペロブスカイト型酸化物の積層構造からなる容量部を有している。このため、容量部の誘電体膜の膜厚を厚くすることができ、集積回路設計において要求されるリーク電流特性を満たすダイナミックメモリセルを容易に実現できる効果がある。

## 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す半導体装置のメモリセルの縦断面模式図、第2図は第2の実施例を示すメモリセルの縦断面模式図である。

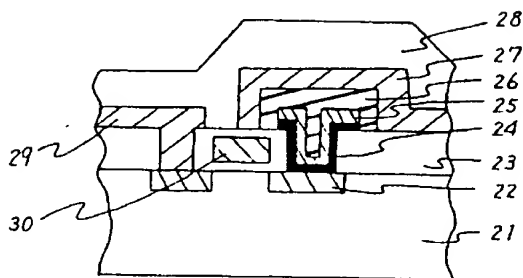
1……P型シリコン基板、2……N型拡散層、3……二酸化シリコン、4……ゲートポリシリコン、5……アルミ配線、6……層間膜2、7……タングステン、8……チタン、9……白金、10……チタン酸ストロンチウム、11……アルミ配線、12……層間膜3、13……保護膜、14……層間膜1、21……P型シリコン基板、22……N型拡散層、23……二酸化シリコン、24……チタン、25……白金、26……チタン酸ストロンチウム、27……アルミ配線、28……保護膜、29……アルミ配線、30……ゲートポリシリコン。

代理人 弁理士 内 原 晋



- |             |                |
|-------------|----------------|
| 1 P型シリコン基板  | 8 チタン          |
| 2 N型拡散層     | 9 白金           |
| 3 二酸化シリコン   | 10 チタン酸ストロンチウム |
| 4 ゲートポリシリコン | 11 アルミ配線       |
| 5 アルミ配線     | 12 層間膜3        |
| 6 層間膜2      | 13 保護膜         |
| 7 タングステン    | 14 層間膜1        |

第1図



- |             |                |
|-------------|----------------|
| 21 P型シリコン基板 | 26 チタン酸ストロンチウム |
| 22 N型拡散層    | 27 アルミ配線       |
| 23 二酸化シリコン  | 28 保護膜         |
| 24 チタン      | 29 アルミ配線       |
| 25 白金       | 30 ゲートポリシリコン   |

第2図